

2. 6. 2004

#2

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 5月15日
Date of Application:

出願番号 特願2003-136863
Application Number:
[ST. 10/C]: [JP2003-136863]

REC'D 15 JUL 2004
WIPO PCT

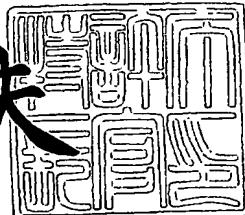
出願人 新光電気工業株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 3月10日

特許長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特2004-3018553

【書類名】 特許願
【整理番号】 P0355147
【提出日】 平成15年 5月15日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 25/065
H01L 23/12
【発明の名称】 半導体装置
【請求項の数】 4
【発明者】
【住所又は居所】 長野県長野市大字栗田字舍利田 711番地 新光電気工業株式会社内
【氏名】 反町 東夫
【特許出願人】
【識別番号】 000190688
【氏名又は名称】 新光電気工業株式会社
【代理人】
【識別番号】 100077621
【弁理士】
【氏名又は名称】 綿貫 隆夫
【選任した代理人】
【識別番号】 100092819
【弁理士】
【氏名又は名称】 堀米 和春
【手数料の表示】
【予納台帳番号】 006725
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702296

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 半導体素子の電極端子形成面の周縁部にワイヤボンディングによって接続されるボンディング部としての接続用パッドが配置され、

電極端子形成面の、前記接続用パッドが配置されている領域の内側領域に半導体素子の特性を試験するための試験用パッドが配置された半導体装置であって、

前記電極端子形成面に、電極端子と電気的に接続する再配線パターンが電極端子ごとに設けられ、

前記再配線パターンを介して、前記接続用パッドと試験用パッドとが前記電極端子に電気的に接続されていることを特徴とする半導体装置。

【請求項2】 試験用パッドが、電極端子形成面にアレイ状に配置されることを特徴とする請求項1記載の半導体装置。

【請求項3】 再配線パターンが、半導体素子の電極端子形成面を被覆する保護絶縁層の表面に設けられ、

接続用パッドおよび試験用パッドを露出させて、前記再配線パターンが形成された保護絶縁層の表面が絶縁層によって被覆されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 請求項1、2または3記載の半導体装置を一つまたは複数、若しくは前記半導体装置と半導体素子と複合して配線基板に搭載して成る半導体装置であって、

前記半導体装置の接続パッドと前記配線基板に形成された接続電極とがボンディングワイヤを介して接続され、

前記半導体装置が基板に搭載された状態で樹脂によって封止されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、より詳細には、半導体装置の特性を試験する試験

用パッドを備えた半導体装置に関する。

【0002】

【従来の技術】

半導体装置には、図8、9に示すように、一つの半導体装置内に複数の半導体素子あるいは複数の半導体装置を組み込んだ製品がある。図8に示す半導体装置は、基板12上に半導体素子10を積み重ね、各々の半導体素子10と基板12に設けた接続電極13とをワイヤボンディングによって接続し、封止樹脂14によって基板12の片面側（半導体素子搭載面側）を樹脂封止し、基板12の実装面にはんだボール16を接合した製品（マルチチップパッケージ）である。

【0003】

また、図9に示す半導体装置は、基板12にフリップチップ接続により半導体素子10を搭載した半導体装置を、はんだボール18を介して基板12間を電気的に接続して積み重ねた製品（パッケージスタック）である。

このように複数の半導体素子あるいは複数の半導体装置を複合化して組み立てた半導体装置には種々の形態の製品がある（たとえば、特許文献1参照）。

【0004】

【特許文献1】

特開2002-151644号公報

【0005】

【発明が解決しようとする課題】

図8に示すように、基板12に複数の半導体素子10を積み重ねて搭載した半導体装置は、複数の半導体素子を一つの半導体装置の中にコンパクトに収納することができるという利点がある。しかしながら、製品試験は基板12に複数の半導体素子10を搭載した後に行うため、一部の半導体素子が不良であった場合でも製品全体が不良と判定され、良品の半導体素子であっても廃棄されてしまうという問題がある。そして、半導体素子の積層数が増えると製品全体としての歩留まりが低くなり、半導体素子の無駄が多く発生するようになるという問題がある。

【0006】

このような問題を解消する方法としては、基板12に半導体素子10を搭載する前に半導体素子10の良否を試験し、良品のみを搭載する方法が考えられる。しかしながら、従来のように半導体素子10に設けられている電極端子（アルミニウムパッド）を利用して試験する方法では、電極端子の配置間隔が50～100 μm と狭いため、試験が困難であるという問題があり、また、特殊なソケットを備えた専用の試験装置を使用しなければならず、試験作業だけで製造コストが高価になるという問題がある。

【0007】

なお、半導体素子10の特性を事前に試験できるようにする方法としては、図9に示すように、半導体素子10を基板12に搭載した状態で試験を行い、良品の半導体素子を搭載したパッケージのみを積み重ねて製品とする方法もある。しかしながら、半導体パッケージを積み重ねて製品とする場合は、基板数が増えて製造コストがかかること、基板12の周辺部ではんだボール18を使用して相互に接合するから、パッケージの基板12の大きさを小さくできないこと、基板12とともに積層するから半導体装置全体としての厚さが厚くなるという問題がある。

【0008】

本発明は、これらの課題を解決すべくなされたものであり、その目的とするところは、半導体装置の特性試験を容易に行うことを可能とし、良品のみを半導体装置に搭載することによって製品の歩留まりを向上させることができ、また、従来の製造装置を利用して組み立てることを可能にして製造コストを最小限に抑えることができる半導体装置を提供するにある。

【0009】

【課題を解決するための手段】

上記課題を解決するため、本発明は次の構成を備える。

すなわち、半導体素子の電極端子形成面の周縁部にワイヤボンディングによつて接続されるボンディング部としての接続用パッドが配置され、電極端子形成面の前記接続用パッドが配置されている領域の内側領域に半導体素子の特性を試験するための試験用パッドが配置された半導体装置であって、前記電極端子形成面

に、電極端子と電気的に接続する再配線パターンが電極端子ごとに設けられ、前記再配線パターンを介して、前記接続用パッドと試験用パッドとが前記電極端子に電気的に接続されていることを特徴とする。

また、前記試験用パッドが、電極端子形成面にアレイ状に配置されていることを特徴とする。

また、前記再配線パターンが、半導体素子の電極端子形成面を被覆する保護絶縁層の表面に設けられ、接続用パッドおよび試験用パッドを露出させて、前記再配線パターンが形成された保護絶縁層の表面が絶縁層によって被覆されていることを特徴とする。

【0010】

また、前記半導体装置を一つまたは複数、若しくは前記半導体装置と半導体素子と複合して配線基板に搭載して成る半導体装置であって、前記半導体装置の接続パッドと前記配線基板に形成された接続電極とがボンディングワイヤを介して接続され、前記半導体装置が基板に搭載された状態で樹脂によって封止されていることを特徴とする。

【0011】

【発明の実施の形態】

以下、本発明の好適な実施の形態について添付図面と共に詳細に説明する。

図1は、本発明に係る半導体装置の第1の実施形態の構成を示す説明図であり、本実施形態の半導体装置において特徴的な、半導体素子の電極端子形成面での構成を示している。図のように、本実施形態の半導体装置は、半導体ウエハの電極端子形成面に所要の配線パターンを形成した後、半導体ウエハを半導体素子ごとに個片に分断して得られたものである。

【0012】

図1に示すように、本実施形態の半導体装置20は、半導体素子10の電極端子形成面の周縁部に沿って、1列状に接続用パッド22が設けられ、接続用パッド22が配置された内側領域にアレイ状に試験用パッド24が配列されていることを特徴とする。

接続用パッド22は半導体装置20を基板等に搭載する際に、基板に設けた接

続電極とワイヤボンディングによって接続するためのボンディング部として設けられているものである。接続用パッド 22 が半導体素子 10 の電極端子形成面の周縁部に配置されていることにより、半導体装置 20 にワイヤボンディングすることが容易に可能となる。

【0013】

試験用パッド 24 は半導体素子 10 の特性を試験するための電極として使用するものであり、各々の試験用パッド 24 は接続用パッド 22 の一つ一つに対応して電気的に接続して設けられている。試験用パッド 24 は複数の接続用パッド 22 で囲まれた内側領域内にアレイ状に配置することによって、配置間隔を広くとることができ、個々の試験用パッド 24 の電極部分の面積を広く確保することができる。本実施形態では試験用パッド 24 を円形状に形成している。このように試験用パッド 24 の配置間隔を広くし、試験用パッド 24 の面積を大きくすることによって、半導体素子の特性を試験する試験装置として、特別なプローブを備えたソケット等を製作する必要がなく、試験装置の製作が容易になる。また、その試験内容も高周波特性等の所要の試験を行うことが可能となる。

【0014】

図 2 は、図 1 に示す半導体装置 20 における接続用パッド 22 および試験用パッド 24 と電極端子との配置関係を示す断面図である。同図で 26 は半導体素子 10 の電極端子形成面に形成された電極端子としてのアルミニウムパッド、28 は半導体素子 10 の電極端子形成面を被覆する保護絶縁層、30 は保護絶縁層の表面に形成された再配線パターン、32 は再配線パターン 30 が形成された表面を接続用パッド 22 と試験用パッド 24 を露出させて被覆する絶縁層である。

【0015】

再配線パターン 30 はアルミニウムパッド 26 と電気的に導通して保護絶縁層 28 により電気的に絶縁されて形成されており、半導体素子 10 の周縁部側に引き出された再配線パターン 30 の一端部 30a に接続用パッド 22 が形成され、電極端子形成面の中央部側（複数の接続用パッドによって囲まれた領域）に引き出された他端部 30b に試験用パッド 24 が形成されている。

再配線パターン 30 の一端側を、アルミニウムパッド 26 が配置されている位

置よりも電極端子形成面の周縁部に近い側に引き出すことによって、接続用パッド22にワイヤボンディングしやすくするとともに、試験用パッド24を配置する接続用パッド22の内側領域を広く確保することを可能としている。

【0016】

図1に示すように、試験用パッド24は接続用パッド22によって囲まれた内側領域内でアレイ状に配置する。接続用パッド22は半導体素子10の電極端子形成面の周縁部に配置されているから、接続用パッド22によって囲まれた領域を広く確保することが可能であり、この領域を有効に利用することによって試験装置と確実なコンタクトをとることができると試験用パッド24を形成することができ、所要の試験を容易に行うことが可能になる。

本実施形態では、試験用パッド24をアレイ状に配置するため、各接続用パッド22と試験用パッド24とを接続する再配線パターン30が干渉しないように再配線パターン30を配置する必要がある。

【0017】

なお、本実施形態の半導体装置20に使用している半導体素子10においては、アルミニウムパッド26が電極端子形成面の周縁部に配置されているが、電極端子形成面上におけるアルミニウムパッド26の配置位置がこのような配置の場合に限定されるものではない。アルミニウムパッド26が電極端子形成面上で複数列に配置されている場合や、電極端子形成面の中央部に配置されているような場合であっても、再配線パターン30を適宜設計することによって、半導体素子の電極端子形成面の周縁部の近傍に接続用パッド22を配置し、接続用パッド22が配置された内側領域に試験用パッド24を配置することが容易に可能である。もちろん、試験用パッド24の配列も格子状配列に限らず、適宜配置することができる。

【0018】

図3は上記半導体装置の製造工程を示す説明図である。

図3(a)は、半導体素子10の電極端子形成面にアルミニウムパッド26を露出させて電極端子形成面が保護絶縁層28によって被覆されている半導体ウエハ10aを示す。なお、保護絶縁層28は半導体ウエハの電極端子形成面を被覆す

るパッシベーション膜をそのまま利用してもよいし、保護作用および絶縁作用を確実にするため、パッシベーション膜にさらにポリイミド等の樹脂材を用いて絶縁層を被覆し、アルミニウムパッド26を露出させるようにしてもよい。

図3(b)はアルミニウムパッド26に電気的に接続する再配線パターンを形成するため、スパッタリング等により、アルミニウムパッド26の表面、およびアルミニウムパッド26が底面に露出する露出穴26aの内面、および保護絶縁層28の表面にめっき給電層27を形成した状態を示す。

【0019】

図3(c)は、次に、めっき給電層27の表面に感光性レジストを塗布する等によって感光性の樹脂被膜によって被覆した後、樹脂被膜を露光および現像して、再配線パターン30を形成する部位を露出させたエッチング用のパターン29を形成した状態を示す。

図3(d)は、次に、めっき給電層27を給電層として電界銅めっきを施すことにより、めっき給電層27の露出部分に所定の厚さに銅めっき31を析出させた状態を示す。めっき給電層27の表面に銅めっき31を析出させることにより、アルミニウムパッド26が底面に露出する露出穴26aの内面にも銅めっきが付着し、アルミニウムパッド26と保護絶縁層28の表面に形成されている銅めっき層とが電気的に接続された状態になる。

【0020】

次に、エッチング用のパターン29を除去した後、銅のエッチング液を用いてエッチングすることにより、めっき給電層27の外部に露出している部位（銅めっき31によって被覆されていない部位）を除去する。めっき給電層27は銅めっき31の厚さにくらべてはるかに薄いから、銅のエッチング液を用いてエッチングする操作によってめっき給電層27のみを選択的に除去することができる（図3(e)）。こうして、保護絶縁層28の表面にアルミニウムパッド26と電気的に接続された、独立パターンの再配線パターン30が形成される。

【0021】

図4(a)は、次に、半導体ウエハ10aの再配線パターン30が形成された面を感光性ポリイミド等の樹脂材により被着し絶縁層32によって被覆した状態を

示す。図4(b)は、絶縁層32を露光および現像して接続用パッド22を形成する部位22aと試験用パッド24となる部位24aを露出させた状態である。

図4(c)は、接続用パッド22と試験用パッド24となる部位に保護用のめっき、たとえばニッケルめっきおよび金めっきを施して接続用パッド22と試験用パッド24を形成した状態を示す。

【0022】

以上の製造工程は、半導体ウエハの再配線パターン形成工程において使用する公知の方法を適用したものであり、このような製造方法によれば複雑な製造方法や高価な製造装置を利用することなく試験用パッド24を備えた半導体装置20を製造することができる。

【0023】

図1に示す半導体装置20は、このようにして接続用パッド22と試験用パッド24を形成した半導体ウエハ10aを半導体素子ごとにダイシングして得られる。半導体ウエハ10aを個片にダイシングして得られた半導体装置20は、いわゆるチップサイズパッケージである。

この半導体装置20は試験用パッド24を備えているから、製品に搭載する際には事前にその特性を検査し、良品のみを搭載することができる。試験用の専用の端子を備えていることから、半導体装置20の高周波特性等の所要の検査を行うことができる。また、この半導体装置20はワイヤボンディング用の接続用パッド22を備えているから、ボンディングワイヤを用いて配線基板に設けられた接続電極と電気的に接続することができ、従来の半導体素子とまったく同様の取り扱いによって各種製品に搭載することができる。

【0024】

図5は配線基板40に図1に示すチップサイズの半導体装置20を搭載した例を示す。半導体装置20は従来使用されている半導体素子とまったく同様にして、配線基板40の素子搭載面に接合した後、ワイヤボンディングにより配線基板40に設けられている接続電極42と接続し、封止樹脂36によって封止する。34がボンディングワイヤ、44がはんだボール等の外部接続端子である。

【0025】

図6は、配線基板40に半導体素子20a、20bと上記半導体装置20を積み重ねるようにして搭載した例を示す。この例では、最下段（配線基板40に近い側）と最上段に従来使用されている半導体素子20a、20bを使用し、中段に上述した構成を備えた半導体装置20を搭載している。半導体装置20はチップサイズに形成されているから、従来使用されている半導体素子20a、20bとまったく同様にして配線基板40上に積み重ねるようにして搭載することができる。また、半導体素子20a、20bと配線基板40に設けられた接続電極42とをワイヤボンディングによって接続する方法、半導体装置20と接続電極42とをワイヤボンディングによって接続する方法も従来の半導体装置の場合とまったく同様に行うことができ、従来の装置がそのまま利用できるという利点がある。

【0026】

図5、6に示すように、本発明に係る半導体装置20の場合は、事前にその特性を試験して良品のみを搭載することができるから、半導体装置の完成品を製造した段階での歩留まりの向上を効果的に図ることができる。

図6に示した実施形態では、積み重ねて搭載する半導体素子のうち、中段に配置した半導体素子のみ試験可能な製品を使用している。すべての半導体素子について試験用パッド24を設けるようにしてもよいが、製造コストを考慮して、特性面であらかじめ試験しておく必要がある製品についてのみ、試験用パッド24を設けるようにする方法も有効である。

また、半導体装置20を積み重ねるようにして搭載することができることから、従来の半導体素子を積み重ねた製品と同様にコンパクトに形成することが可能となる。

【0027】

試験用パッドを設けた半導体装置20の利用形態には種々の使用形態があり得る。図7は、試験用パッドを備えた半導体装置20の裏面（電極端子形成面と反対面）に他の半導体素子20c、20dを積み重ねて搭載し、半導体素子20c、20dと半導体装置20の裏面側に設けた電極21とをワイヤボンディングによって接続し、樹脂封止36して形成したモジュール体を、さらに配線基板40

に搭載した半導体装置である。20eは配線基板40にあらかじめフリップチップ接続によって搭載した半導体素子である。

上記モジュール体は半導体素子20eの上面に樹脂封止部を接合するようにして搭載され、半導体装置20の接続用パッド22と配線基板40の接続電極42とがワイヤボンディングによって接続されている。

【0028】

以上のように、半導体装置20は単体として使用する他に、他の半導体素子あるいは他の試験用パッド24を備えた半導体装置20と組み合わせて使用することができる。本発明に係る半導体装置20はチップサイズに形成されているから、半導体素子と組み合わせて複合的に使用することが容易に可能である。そして、半導体装置の特性を事前に試験して良品のみを搭載することによって、製品の歩留まりを向上させ、結果的に製造コストを低減させることができる。半導体素子の電極端子形成面に試験用パッド24を形成することは容易であり、試験によって良品を搭載することによる歩留まりの向上によって、全体としての製造コストを引き下げることが可能となる。とくに、機能の向上が図られている半導体素子を搭載するような場合には、事前に所要の特性を試験して搭載できることは、製造コストの無駄を省き、製造コストを引き下げる方法として有効となる。

【0029】

【発明の効果】

本発明に係る半導体装置は、半導体素子の特性を試験する試験用パッドを備えていることから、搭載前に試験を行って良品のみを搭載することができ、製品の歩留まりを向上させることができる。また、本発明に係る半導体装置はチップサイズに形成されているから、従来の半導体素子と同様な取り扱いが可能であり、コンパクトな半導体装置として組み立てることができ、ワイヤボンディング装置等の従来の製造装置を利用して半導体装置を組み立てることができる。また、半導体装置を複数個、積み重ねて搭載すること、他の半導体装置と組み合わせて複合化した装置として構成することができ等の著効を奏する。

【図面の簡単な説明】

【図1】

本発明に係る半導体装置の構成を示す電極端子形成面の平面図である。

【図2】

接続用パッドと試験用パッドの構成を拡大して示す断面図である。

【図3】

本発明に係る半導体装置の製造工程を示す説明図である。

【図4】

本発明に係る半導体装置の製造工程を示す説明図である。

【図5】

半導体装置の構成例を示す断面図である。

【図6】

半導体装置の他の構成例を示す断面図である。

【図7】

半導体装置のさらに他の構成例を示す断面図である。

【図8】

半導体装置の従来の構成例を示す断面図である。

【図9】

半導体装置の従来の構成例を示す断面図である。

【符号の説明】

1 0 半導体素子

1 0 a 半導体ウエハ

2 0 半導体装置

2 0 a、2 0 b、2 0 c、2 0 d、2 0 e 半導体素子

2 2 接続用パッド

2 4 試験用パッド

2 6 アルミニウムパッド

2 6 a 露出穴

2 7 めっき給電層

2 8 保護絶縁層

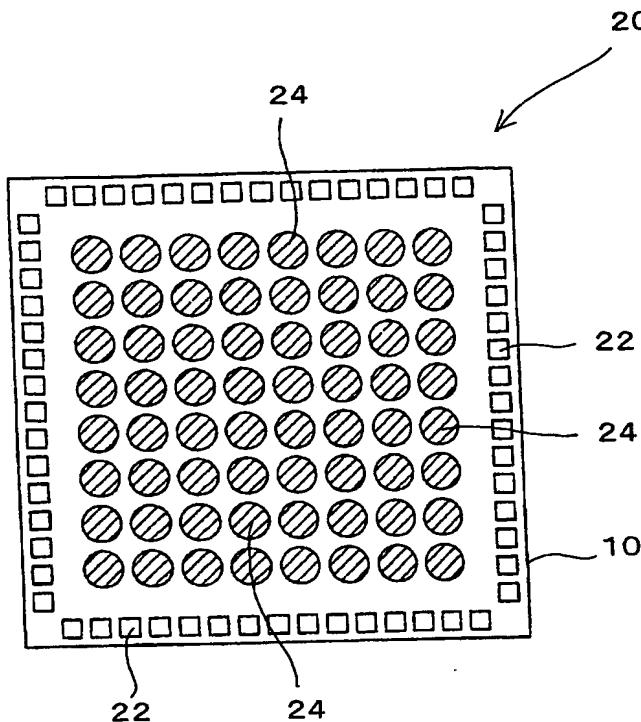
3 0 再配線パターン

- 3 1 銅めっき
- 3 2 絶縁層
- 3 6 封止樹脂
- 4 0 配線基板
- 4 2 接続電極

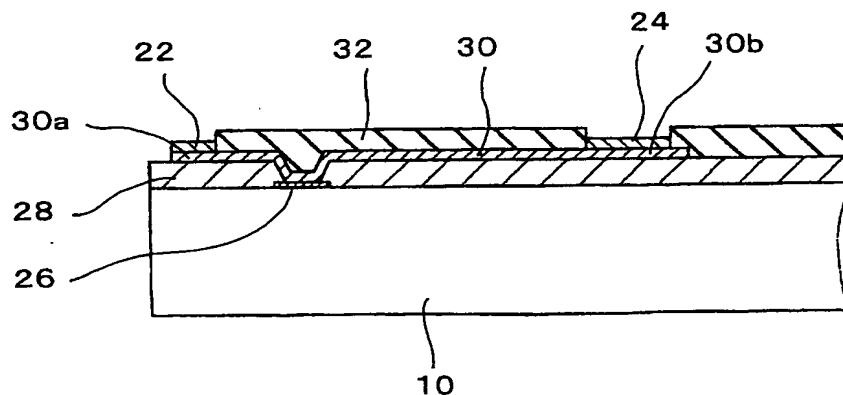
【書類名】

図面

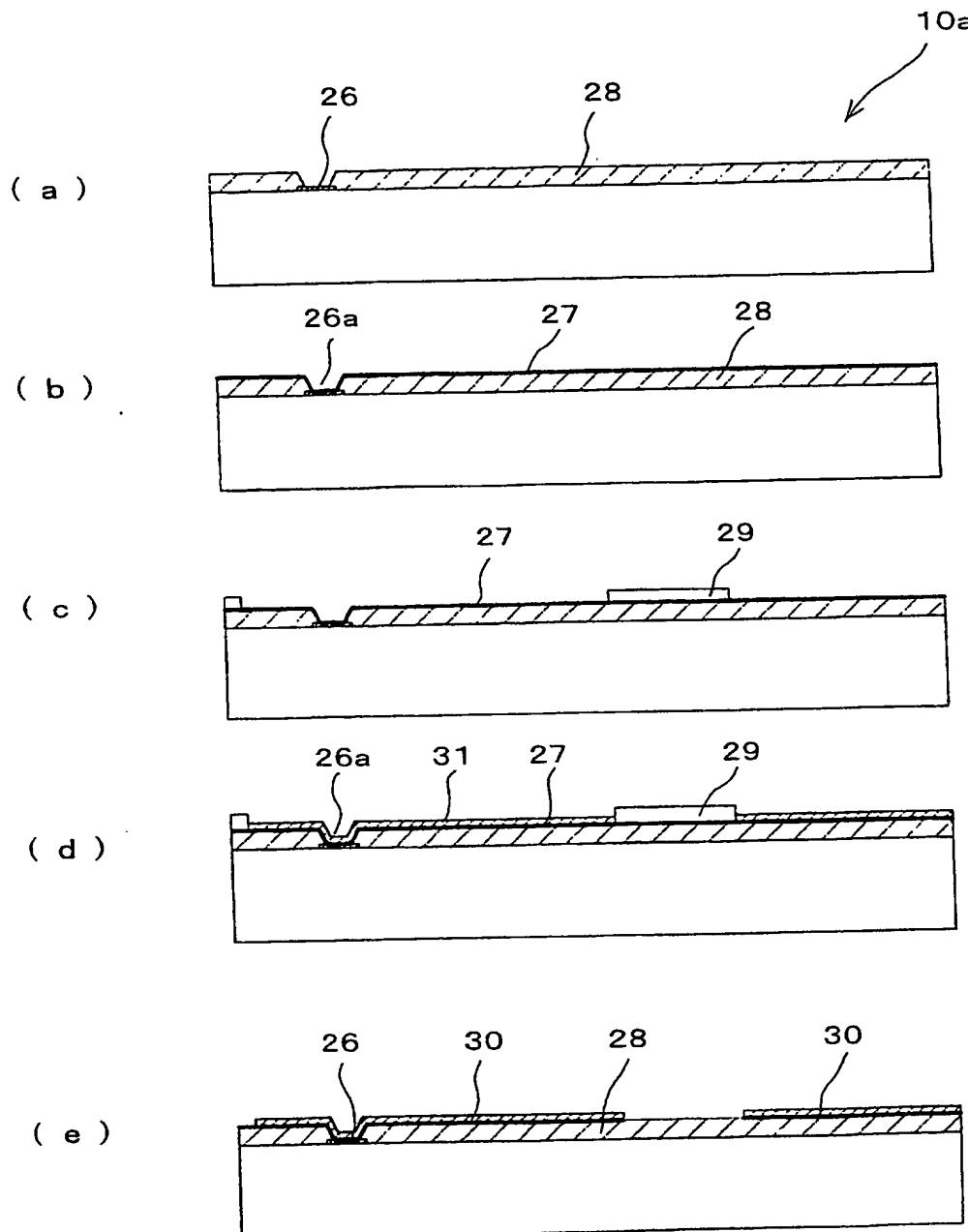
【図 1】



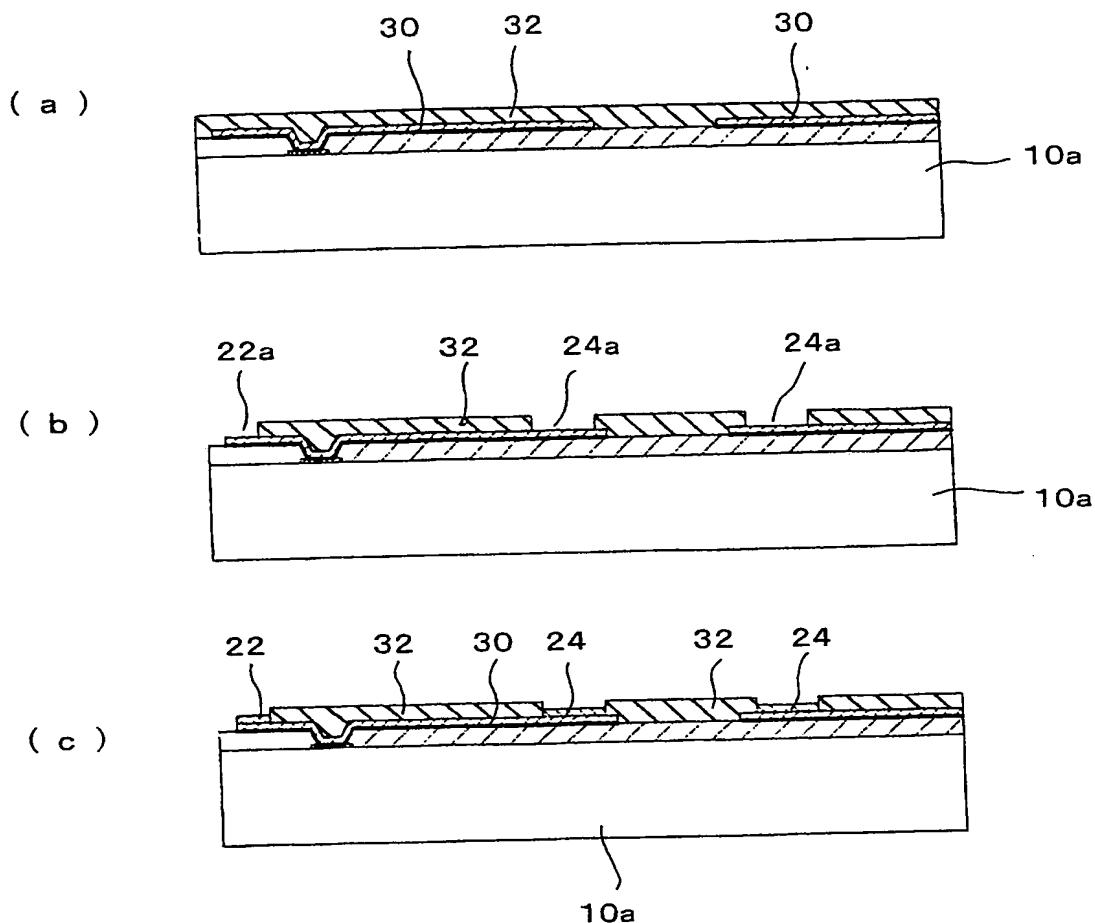
【図 2】



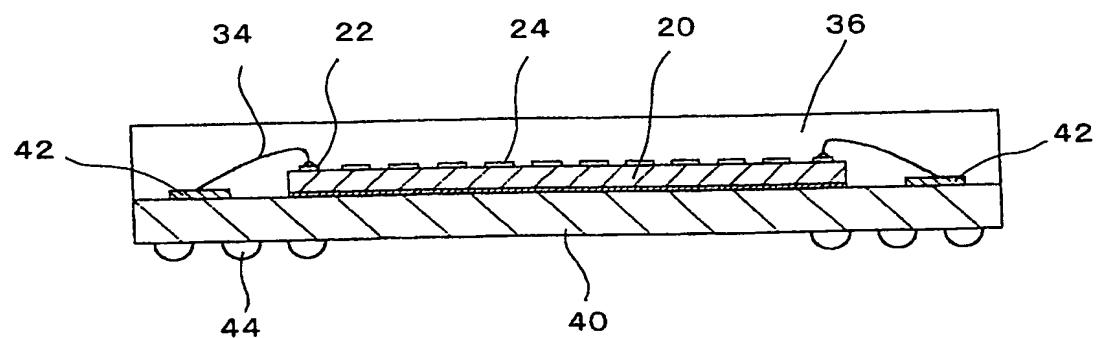
【図3】



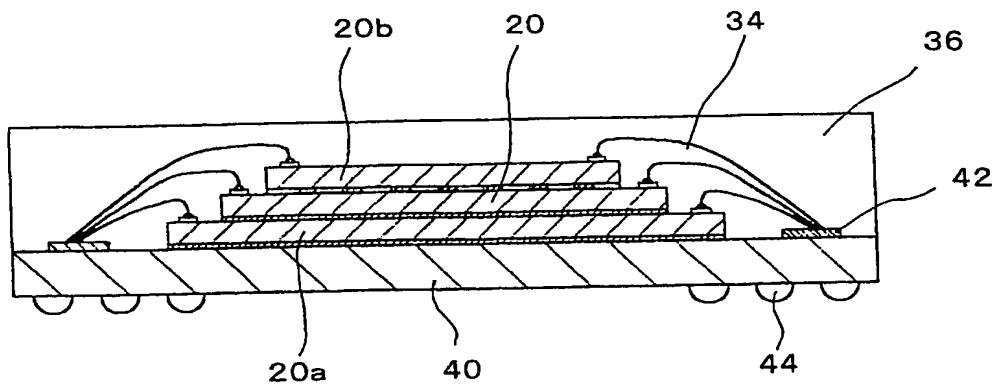
【図4】



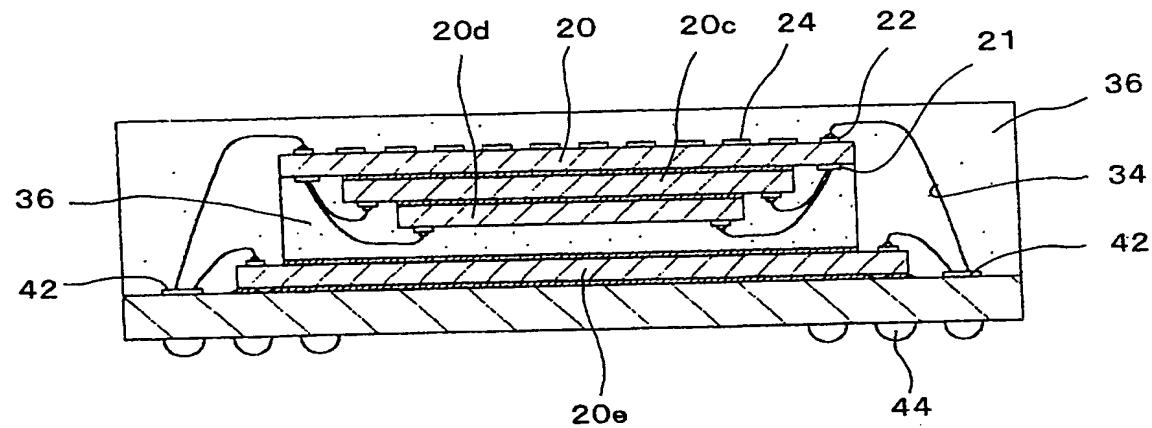
【図5】



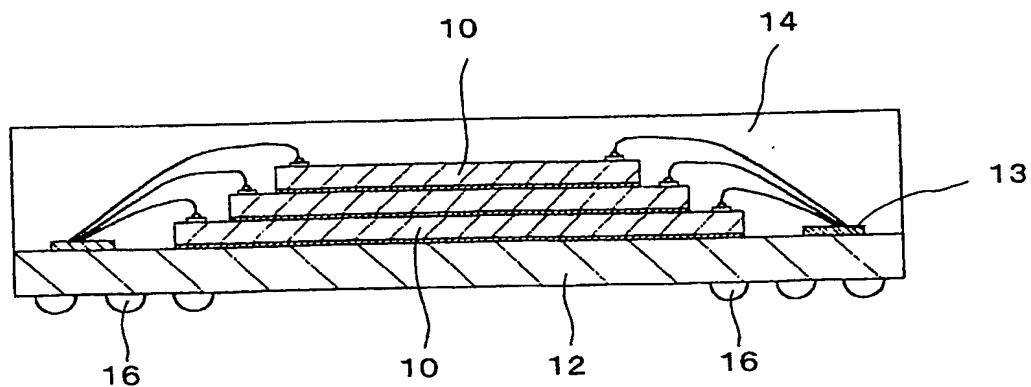
【図 6】



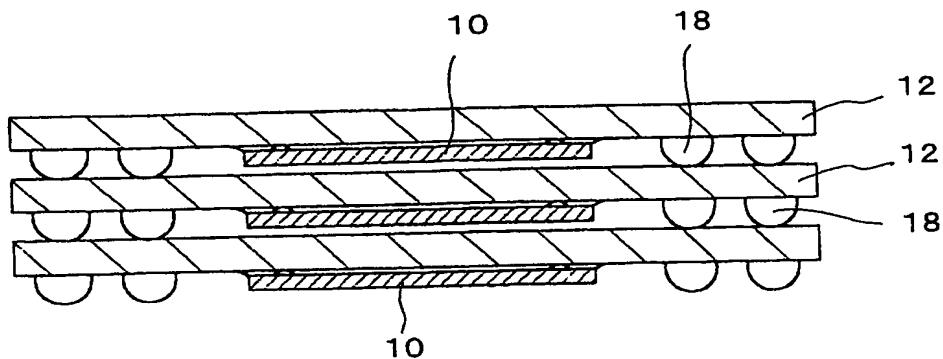
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 半導体素子の特性試験を容易に行うことができて良品を搭載可能とし、製品の歩留まりを向上させる。

【解決手段】 半導体素子10の電極端子形成面の周縁部にワイヤボンディングによって接続されるボンディング部としての接続用パッド22が配置され、電極端子形成面の、前記接続用パッド22が配置されている領域の内側領域に半導体素子10の特性を試験するための試験用パッド24が配置された半導体装置であって、前記電極端子形成面に、電極端子と電気的に接続する再配線パターンが電極端子ごとに設けられ、前記再配線パターンを介して、前記接続用パッド22と試験用パッド24とが前記電極端子に電気的に接続されている。

【選択図】 図1

特願 2003-136863

出願人履歴情報

識別番号

[000190688]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 長野県長野市大字栗田字舍利田711番地
氏 名 新光電気工業株式会社

2. 変更年月日 2003年10月 1日

[変更理由] 住所変更

住 所 長野県長野市小島田町80番地
氏 名 新光電気工業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.